

日 本 国 特 許 庁
JAPAN PATENT OFFICE

14.01.2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2004年 1月19日

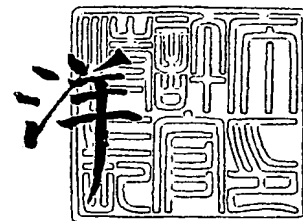
出 願 番 号
Application Number: 特願2004-010718
[ST. 10/C]: [JP2004-010718]

出 願 人
Applicant(s): 松下電器産業株式会社

2005年 2月24日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 2925040125
【提出日】 平成16年 1月19日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/14
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 森 三佳
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 山口 琢己
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 吉田 真治
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100077931
 【弁理士】
 【氏名又は名称】 前田 弘
【選任した代理人】
 【識別番号】 100094134
 【弁理士】
 【氏名又は名称】 小山 廣毅
【選任した代理人】
 【識別番号】 100110939
 【弁理士】
 【氏名又は名称】 竹内 宏
【選任した代理人】
 【識別番号】 100113262
 【弁理士】
 【氏名又は名称】 竹内 祐二
【選任した代理人】
 【識別番号】 100115059
 【弁理士】
 【氏名又は名称】 今江 克実
【選任した代理人】
 【識別番号】 100117710
 【弁理士】
 【氏名又は名称】 原田 智雄
【手数料の表示】
 【予納台帳番号】 014409
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0217869

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板上に複数の単位画素が配列する撮像領域が設けられ、上記単位画素には、複数の素子形成用領域と、上記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置の製造方法であって、

上記半導体基板の上に、上記半導体基板のうち上記素子分離用領域に位置する部分の少なくとも一部を露出する開口を有する保護膜を形成する工程（a）と、

上記工程（a）の後に、上記保護膜をマスクとしてエッチングを行うことにより、上記半導体基板のうち上記素子分離用領域に位置する部分を除去してパターニングする工程（b）と、

上記工程（b）の後に、上記半導体基板のうち上記パターニングをした上記素子分離領域の表面に位置する部分を酸化することにより素子分離用の酸化膜を形成する工程（c）と、

上記工程（c）の後に、上記保護膜のうちの少なくとも一部を除去する工程（d）とを備える、固体撮像装置の製造方法。

【請求項 2】

請求項 1 に記載の固体撮像装置の製造方法であって、

上記工程（a）では、上記保護膜として、パッド絶縁膜と、上記パッド絶縁膜の上方に位置する耐酸化性膜とを形成する、固体撮像装置の製造方法。

【請求項 3】

請求項 2 に記載の固体撮像装置の製造方法であって、

上記工程（a）では、上記パッド絶縁膜と上記耐酸化性膜との間に、酸化性膜を介在させる、固体撮像装置の製造方法。

【請求項 4】

請求項 1～3 のうちいずれか 1 項に記載の固体撮像装置の製造方法であって、

上記工程（c）の後に、上記素子分離用の酸化膜のうちの一部をエッチングにより除去する、固体撮像装置の製造方法。

【請求項 5】

請求項 2 に記載の固体撮像装置の製造方法であって、

上記工程（c）では、上記半導体基板の表面にバースビーグが形成され、

上記工程（c）の後に、上記バースビーグの一部を除去する、固体撮像装置の製造方法

。

【請求項 6】

請求項 1～5 のうちいずれか 1 項に記載の固体撮像装置の製造方法であって、

上記半導体基板のうち上記素子形成用領域に位置する部分は、n 型不純物が含まれており、

上記工程（b）の後で上記工程（c）の前に、上記半導体基板のうち上記パターニングをした上記素子分離領域の表面に位置する部分に p 型のイオンを注入する工程をさらに備える、固体撮像装置の製造方法。

【請求項 7】

請求項 1～6 のうちいずれか 1 項に記載の固体撮像装置の製造方法であって、

上記工程（a）では、上記開口の幅を、上記素子分離領域の幅よりも狭く形成する、固体撮像装置の製造方法。

【請求項 8】

請求項 1～7 のうちいずれか 1 項に記載の固体撮像装置の製造方法であって、

上記工程（d）では、上記保護膜を、上記素子分離用の酸化膜の上面よりも深く除去することにより、上記素子分離領域の高さを上記半導体基板の上面よりも高くする、固体撮像装置の製造方法。

【請求項 9】

請求項 1～8 のうちいずれか 1 項に記載の固体撮像装置の製造方法であって、

上記半導体基板のうち上記撮像領域の側方には、上記撮像領域を動作させるための駆動回路を含む周辺回路領域が設けられ、

上記周辺回路領域における素子分離領域は、上記撮像領域における上記素子分離領域と同じ工程で形成される、固体撮像領域の製造方法。

【請求項 10】

請求項 9 に記載の固体撮像装置の製造方法であって、

上記周辺回路には、N型MOSトランジスタのみを形成するか、PMISトランジスタのみを形成するか、またはCMOSトランジスタを形成する、固体撮像装置の製造方法。

【請求項 11】

半導体基板上に複数の単位画素が配列する撮像領域が設けられ、上記単位画素には、複数の素子形成領域と、上記複数の素子形成用領域の間に位置する素子分離領域とが設けられる固体撮像装置であって、

上記半導体基板のうち上記素子分離領域に位置する部分はパターニングされ、

上記半導体基板のうち上記パターニングした上記素子分離領域の表面に露出する部分を酸化することにより得られ、上記パターニングした上記素子分離領域を埋める素子分離用の酸化膜を備える、固体撮像装置。

【請求項 12】

請求項 11 に記載の固体撮像装置であって、

上記半導体基板における上記素子形成用領域には、n型の不純物が含まれており、

上記半導体基板の上記素子分離用領域において、上記半導体基板のうち上記凹部の表面部に位置する部分には、p型の不純物が含まれている、固体撮像装置。

【請求項 13】

請求項 11 または 12 に記載の固体撮像装置であって、

上記素子分離用の酸化膜の高さは、上記半導体基板の上面の高さよりも高い、固体撮像装置。

【請求項 14】

請求項 11 ～ 13 のうちいずれか 1 項に記載の固体撮像装置を用いるカメラ。

【書類名】明細書

【発明の名称】固体撮像装置とその製造方法および固体撮像装置を用いたカメラ

【技術分野】

【0001】

本発明は、固体撮像装置とその製造方法および固体撮像装置を用いたカメラに関し、特に、半導体基板上に複数の画素を有する撮像領域が設けられた固体撮像装置とその製造方法およびカメラに関する。

【背景技術】

【0002】

MOS型の固体撮像装置は、各画素に供給される信号を、MOSトランジスタを含む増幅回路によって増幅して読み出すイメージセンサである。固体撮像装置のうちCMOSプロセスで製造されるいわゆるCMOSイメージセンサは、低電圧、低消費電力であり、周辺回路とワン・チップ化ができるという長所を有している。そのため、近年では、CMOSイメージセンサがPC用小型カメラなどの携帯機器の画像入力素子として注目されている。

【0003】

図3は、固体撮像装置の構成の一例を示す回路図である。この固体撮像装置は、複数の画素26がマトリックス状に配列された撮像領域27と、画素を選択するための垂直シフトレジスタ28および水平シフトレジスタ29と、垂直シフトレジスタ28および水平シフトレジスタ29に必要なパルスを供給するタイミング発生回路30とを同一の基板上に備えている。

【0004】

撮像領域27内に配置する各画素26では、フォトダイオードからなる光電変換部21と、ソースが光電変換部21に接続され、ドレインが増幅用トランジスタ24のゲートに接続され、ゲートが垂直シフトレジスタ28からの出力パルス線31に接続された転送用トランジスタ22と、ソースが転送用トランジスタ22のドレインに接続され、ゲートが垂直シフトレジスタ28からの出力パルス線32に接続され、ドレインが電源33に接続されるリセット用トランジスタ23と、ドレインが電源33に接続され、ゲートが転送用トランジスタ22のドレインおよびリセット用トランジスタ23のソースに接続される増幅用トランジスタ24と、ドレインが増幅用トランジスタ24のソースに接続され、ゲートが垂直シフトレジスタ28からの出力パルス線34に接続され、ソースが信号線35に接続される選択用トランジスタ25とが設けられている。

【0005】

撮像領域27において、素子分離用領域にLOCOSやSTI (Shallow Trench Isolation) を形成した場合には、窒化膜等の膜ストレスや長時間にわたる高温の熱処理工程によって欠陥が発生しやすい。この欠陥は暗電流や白キズの発生原因となる。さらに、LOCOSを形成した場合には、バーズベーク幅が長くなるため撮像領域27の微細化が困難となる。また、STIを形成した場合には、埋め込み酸化膜による応力が発生してしまう。

【0006】

このような問題を解決する方法として、特許文献1に記載された従来技術がある。この従来技術について、図4(a)～(f)を参照しながら説明する。図4(a)～(f)は、従来の撮像素子において、素子分離用領域の製造工程を示す断面図である。

【0007】

まず、図4(a)に示す工程で、半導体基板51の上部を熱酸化することにより、厚さ0.1 μ mのゲート絶縁膜52を形成する。次に、ゲート絶縁膜52の上からイオン注入を行うことにより、半導体基板51の上部に、素子分離領域53、光電変換部54およびドレイン領域55を形成する。ここで、光電変換部54およびドレイン領域55としてn型の不純物をイオン注入する場合には、素子分離領域53としてp型の不純物をイオン注入する。

【0008】

次に、図4(b)に示す工程で、ゲート絶縁膜52の上に厚さ約 $0.3\mu\text{m}$ のCVD酸化膜56を堆積する。

【0009】

次に、図4(c)に示す工程で、CVD酸化膜56の上に、ゲート電極を形成する領域に開口を有するレジスト(図示せず)を形成する。そのレジストをマスクとしてRIE(Reactive Ion Etching)法によりエッチングを行うことにより、CVD酸化膜56を貫通する溝57を形成する。

【0010】

次に、図4(d)に示す工程で、溝57(図4(c)に示す)を埋めるポリシリコン膜58を形成する。

【0011】

次に、図4(e)に示す工程で、ポリシリコン膜58の上に、溝57よりも大きな内径を有する溝を有するレジスト(図示せず)を形成する。そして、そのレジストをマスクとしてポリシリコン膜58(図4(d)に示す)に対してRIEを行うことにより、ゲート電極を含む配線パターン58aを形成する。

【0012】

次に、図4(f)に示す工程で、ゲート絶縁膜52および配線パターン58aの上に SiO_2 等の層間絶縁膜59を堆積する。そして、RIE法により層間絶縁膜59を貫通してドレイン領域55に到達する溝を形成し、溝を導体で埋めることにより、信号線60を形成する。

【特許文献1】特開平10-373818号公報

【特許文献2】特開2000-196057号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

しかしながら、上述した従来の固体撮像装置の製造方法では、以下のような不具合が生じていた。

【0014】

上述したようにイオン注入により素子分離領域53の注入層を形成した場合には、素子分離用領域としての分離能力を十分に確保するためにチャンネルストップ注入層の幅を広くする必要がある。しかしながら、素子分離領域53の幅を広くするのは、固体撮像装置の微細化の要請に反する。

【0015】

一方、チャンネルストップ注入層の幅を狭くして不純物の注入量を多くすることにより分離能力を確保すると、光電変換部54と素子分離領域53とのPN接合のリークが増加してしまう。これは、暗電流及び白キズの増加につながってしまう。

【0016】

本発明の目的は、素子分離用領域の分離能力を確保しつつ微細化が可能であり、低暗電流および白キズ数の低減を実現できる固体撮像装置とその製造方法および固体撮像装置を用いたカメラを提供することにある。

【課題を解決するための手段】

【0017】

本発明の固体撮像装置の製造方法は、半導体基板上に複数の単位画素が配列する撮像領域が設けられ、上記単位画素には、複数の素子形成用領域と、上記複数の素子形成用領域の間に位置する素子分離用領域とが設けられる固体撮像装置の製造方法であって、上記半導体基板の上に、上記半導体基板のうち上記素子分離用領域に位置する部分の少なくとも一部を露出する開口を有する保護膜を形成する工程(a)と、上記工程(a)の後に、上記保護膜をマスクとしてエッチングを行うことにより、上記半導体基板のうち上記素子分離用領域に位置する部分のうちの少なくとも一部を除去してパターンニングする工程(b)

と、上記工程 (b) の後に、上記半導体基板のうち上記パターニングをした上記素子分離領域の表面に位置する部分を酸化することにより素子分離用の酸化膜を形成する工程 (c) と、上記工程 (c) の後に、上記保護膜のうちの少なくとも一部を除去する工程 (d) とを備える。

【0018】

このように、凹部を形成した後に酸化を行うことにより、バースビーグの発生を抑制することができるため、素子の微細化を図ることができる。また、凹部の表面を酸化することにより素子分離用の酸化膜を形成するので、この酸化膜が形成されるのは、素子形成領域から離れた領域となる。したがって、素子形成領域に近い領域では応力が低減され、窒化膜等の膜ストレスや熱処理に起因する欠陥が発生しにくくなる。よって、十分な素子分離能力を有し、欠陥が原因の暗電流や白キズが少ない固体撮像装置を得ることができる。

【0019】

上記工程 (a) では、上記保護膜として、パッド絶縁膜と、上記パッド絶縁膜の上方に位置する耐酸化性膜とを形成してもよい。

【0020】

上記工程 (a) では、上記パッド絶縁膜と上記耐酸化性膜との間に、酸化性膜を介在させてもよく、この場合には、酸化性膜の厚みを調整することにより、半導体基板の角部を効率良く丸めることができる。

【0021】

上記工程 (c) の後に、上記素子分離用の酸化膜のうちの一部をエッチングにより除去することにより、微細パターンを形成することが可能となる。

【0022】

上記工程 (c) では、上記半導体基板の表面にバースビーグが形成されうる。この場合には、上記工程 (c) の後に、上記バースビーグの一部を除去すれば、バースビーグの幅を狭くすることができ、活性領域の面積を大きくすることができる。

【0023】

上記半導体基板のうち上記素子形成用領域に位置する部分は、n 型不純物が含まれており、上記工程 (b) の後で上記工程 (c) の前に、上記半導体基板のうち上記上記パターニングをした上記素子分離領域の表面に位置する部分に p 型のイオンを注入する工程をさらに備えていてもよい。この場合には、暗電流が、凹部の形成によって生じた界面準位を伝わって活性領域の方に流れるのを防止することができる。つまり、半導体基板のうち凹部の表面付近に位置する領域に p 型の不純物をドーピングすることにより、凹部の表面付近と素子の活性領域との間にエネルギー的な障壁を形成し、キャリアの移動を抑制することができる。

【0024】

上記工程 (a) では、上記開口の幅を、上記素子分離領域の幅よりも狭く形成することにより、工程 (c) において、水平方向および鉛直方向に素子分離用の酸化膜が広がっても、この酸化膜が、必要な素子分離能力を得るのに必要な体積以上に大きく形成されない。

【0025】

上記工程 (d) では、上記保護膜を、上記素子分離用の酸化膜の上面よりも深く除去することにより、上記素子分離領域の高さを上記半導体基板の上面よりも高くすることが好ましい。この場合には、素子分離用の酸化膜の上にゲート配線等の配線を形成しても、互いに絶縁すべき配線同士が短絡するのを防止することができる。以下にその理由について説明する。配線は、半導体基板および素子分離用の酸化膜の上を導体膜で覆った後に、この導体膜をパターニングすることにより形成する。もし素子分離用の酸化膜が半導体基板の上面よりも低く形成されていれば、導体膜のうち酸化膜の上に位置する部分を除去することが困難となる。この場合に、残存した導体膜により、互いに絶縁すべき配線同士が接続されてしまうおそれが生じるが、埋め込み用膜を高く形成すると、このおそれを回避することができる。

【0026】

上記半導体基板のうち上記撮像領域の側方には、上記撮像領域を動作させるための駆動回路を含む周辺回路領域が設けられ、上記周辺回路領域における素子分離領域は、上記撮像領域における上記素子分離領域と同じ工程で形成されてもよい。この場合には、工程を簡略化することができる。

【0027】

上記周辺回路には、N型MOSトランジスタのみを形成するか、P型MOSトランジスタのみを形成するか、またはCMOSトランジスタを形成することができる。この場合には、注入工程数を少なくすることができるので、工程を簡略化することができる。

【0028】

本発明の固体撮像装置は、半導体基板上に複数の単位画素が配列する撮像領域が設けられ、上記単位画素には、複数の素子形成領域と、上記複数の素子形成領域の間に位置する素子分離領域とが設けられる固体撮像装置であって、上記半導体基板のうち上記素子分離領域に位置する部分はパターニングされ、上記半導体基板のうち上記パターニングした上記素子分離領域の表面に露出する部分を酸化することにより得られ、上記パターニングした上記素子分離領域を埋める素子分離用の酸化膜を備える。

【0029】

このように、凹部を形成した後に酸化を行うことにより、バズビーグの発生を抑制することができるため、素子の微細化を図ることができる。また、凹部の表面を酸化することにより素子分離用の酸化膜を形成するので、この酸化膜が形成されるのは、素子形成領域から離れた領域となる。したがって、素子形成領域に近い領域では応力が低減され、窒化膜等の膜ストレスや熱処理に起因する欠陥が発生しにくくなる。よって、欠陥が原因となって、暗電流や白キズが発生するのを防止することができるとともに、十分な素子分離能力を確保することができる。

【0030】

上記半導体基板における上記素子形成領域には、n型の不純物が含まれており、上記半導体基板の上記素子分離領域において、上記半導体基板のうち上記凹部の表面部に位置する部分には、p型の不純物が含まれていてもよい。この場合には、暗電流が、凹部の形成によって生じた界面準位を伝わって活性領域の方に流れるのを防止することができる。つまり、半導体基板のうち凹部の表面付近に位置する領域にp型の不純物が含まれることにより、凹部の表面付近と素子の活性領域との間にエネルギー的な障壁が形成され、キャリアの移動が抑制される。

【0031】

上記素子分離用の酸化膜の高さは、上記半導体基板の上面の高さよりも高いことが好ましい。この場合には、素子分離用の酸化膜の上にゲート配線等の配線が設けられている場合であっても、互いに絶縁すべき配線同士が短絡しにくい。以下にその理由について説明する。配線は、半導体基板および素子分離用の酸化膜の上を導体膜で覆った後に、この導体膜をパターニングすることにより形成する。もし素子分離用の酸化膜が半導体基板の上面よりも低く形成されていれば、導体膜のうち素子分離用の酸化膜の上に位置する部分を除去することが困難となる。この場合に、残存した導体膜により、互いに絶縁すべき配線同士が接続されてしまうおそれが生じるが、素子分離用の酸化膜を高く形成すると、このおそれを回避することができる。

【0032】

なお、上述のような固体撮像装置をカメラとして用いると、高解像度の撮像が可能となる。

【発明の効果】

【0033】

本発明の固体撮像装置とその製造方法では、バズビーグの発生を抑制することができるため素子の微細化を図ることができる。また、素子形成領域に近い領域では応力を低減することができるため、窒化膜等の膜ストレスや熱処理に起因する欠陥が発生しにくくな

る。これにより、十分な素子分離能力を確保できるとともに、欠陥が原因の暗電流や白キズを少なくすることができる。

【発明を実施するための最良の形態】

【0034】

以下に、本発明の実施の形態に係る固体撮像装置について、図面を参照しながら説明する。なお、以下の実施形態では、本発明を、フォトダイオード同士の間の素子分離用領域や、フォトダイオードと活性領域との間の素子分離用領域に適用する場合について説明する。

【0035】

(第1の実施形態)

図1(a)～(d)は、本発明の固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。

【0036】

本実施形態の固体撮像装置の製造方法では、まず、図1(a)に示す工程で、シリコン基板1の上に、厚さ1～50nm程度のシリコン酸化膜からなるパッド絶縁膜2を形成する。パッド絶縁膜2の上には、厚さ50～400nmのシリコン窒化膜等からなる耐酸化性膜3を形成する。そして、耐酸化性膜3の上に、所定の領域に開口を有するレジスト(図示せず)を形成する。

【0037】

その後、レジストをマスクとしてエッチングを行うことにより、パッド絶縁膜2と耐酸化性膜3とを貫通してシリコン基板1の上面のうち所定の領域を露出する開口4を形成する。その後、レジストを除去する。ここで、開口4の幅は、0.20μm程度に設定する。なお、この開口4の幅は、後にLOCOS酸化膜5(図1(c)に示す)を形成したときに素子分離領域が広がることを考慮して、狙い素子分離領域幅より狭くする。このように開口4の幅を調整することにより、素子分離領域の占める表面積を減少させることができるので、この方法を微細MOS型撮像装置に適用すると有用である。

【0038】

次に、図1(b)に示す工程で、耐酸化性膜3をマスクにしてシリコン基板1を選択的にエッチングする。このとき、シリコン基板1を10～100nm程度の深さまで除去し、開口4の深さを深くする。続いて、基板の上方から、p型不純物であるボロンを、注入エネルギー2.5KeV～50KeV、ドーズ量 $1 \times 10^{11} / \text{cm}^2 \sim 1 \times 10^{15} / \text{cm}^2$ の条件で注入する。この条件は、界面準位間を伝わって暗電流を引き起こす電子を束縛できるように調整する。

【0039】

次に、図1(c)に示す工程で、耐酸化性膜3を強化マスクにして、シリコン基板1のうち開口4の表面に露出する部分を選択的に熱酸化することにより、LOCOS酸化膜5を形成する。LOCOS酸化膜5は、開口4の側面のうちシリコン基板1が露出する部分を埋めるように形成する。なお、LOCOS酸化膜5における凸部分の高さおよび形状を調整することにより、後工程で導体膜をパターンニングしてゲート絶縁膜を形成する際に、導体膜を制御性よく除去することができる。したがって、微細加工が可能となる。

【0040】

次に、図1(d)に示す工程で、ウェットエッチングを行うことにより耐酸化性膜3とパッド絶縁膜2の上部とを除去する。ここで、CMP研磨を行うことにより、耐酸化性膜3およびパッド絶縁膜2を幾分除去した後にウェットエッチングを行って、残存する分を除去してもよい。

【0041】

なお、パズピークの幅が長い場合は、ウェットエッチングを行ってパズピークを除去することにより、活性領域の面積を十分確保できるよう調節すればよい。

【0042】

その後、シリコン基板1のうち所望の領域にイオン注入を行うことにより、光電変換領

域6および活性領域7を形成する。その後、周知の方法により、ゲート絶縁膜16、CVD酸化膜17、層間絶縁膜18、信号線19およびゲート電極を含む配線パターン20を形成することにより、本実施形態の半導体装置を製造することができる。

【0043】

以下に、本実施形態で得られる効果について説明する。

【0044】

本実施形態では、シリコン基板1のうちの上部を除去して凹部4を形成した後にLOCOS酸化膜5を形成する。これにより、バズピークの発生を抑制することができる。よって、素子の微細化を図ることができる。

【0045】

また、凹部を形成してLOCOS酸化膜5を形成するため、LOCOS酸化膜5が形成されるのは、素子の動作領域を確保することができる。

【0046】

また、図1(b)に示す工程でp型不純物を注入することにより、暗電流が、凹部の形成によって生じた界面準位を伝わって活性領域の方に流れるのを防止することができる。つまり、シリコン基板1のうち凹部の表面付近に位置する領域にp型の不純物をドーピングすることにより、凹部の表面付近と素子の活性領域との間にエネルギー的な障壁を形成し、キャリアの移動を抑制することができる。

【0047】

また、図1(d)に示す工程で、LOCOS酸化膜5の高さをシリコン基板1の高さよりも高くすることにより、LOCOS酸化膜5の上にゲート配線等の配線を形成しても、互いに絶縁すべき配線同士が短絡するのを防止することができる。

【0048】

(第2の実施形態)

図2(a)～(d)は、本発明の固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。

【0049】

本実施形態の固体撮像装置の製造方法では、まず、図2(a)に示す工程で、シリコン基板1の上に、厚さ1～50nm程度のシリコン酸化膜からなるパッド絶縁膜2を形成する。パッド絶縁膜2の上には、厚さ10～30nmのからなる酸化性膜10を形成し、酸化性膜10の上には、厚さ50～400nmのシリコン窒化膜等からなる耐酸化性膜3を形成する。そして、耐酸化性膜3の上に、所定の領域に開口を有するレジスト(図示せず)を形成する。

【0050】

その後、レジストをマスクとしてエッチングを行うことにより、パッド絶縁膜2、酸化性膜10および耐酸化性膜3を貫通してシリコン基板1の上面のうち所定の領域を露出する開口4を形成する。その後、レジストを除去する。ここで、開口4の幅は、0.2μm程度に設定する。なお、この開口4の幅は、後にLOCOS酸化膜5を形成したときに素子分離領域が広がることを考慮して、狙い素子分離領域幅より狭くする。このように開口4の幅を調整することにより、素子分離領域の占める表面積を減少させることができるので、この方法を微細MOS型撮像装置に適用すると有用である。

【0051】

次に、図2(b)に示す工程で、耐酸化性膜3をマスクにしてシリコン基板1を選択的に除去する。このとき、シリコン基板1を10～100nm程度の深さまで除去し、開口4の深さを深くする。続いて、基板の上方から、p型不純物であるボロンを、注入エネルギー2.5KeV～50KeV、ドーズ量 $1 \times 10^{11} / \text{cm}^2 \sim 1 \times 10^{15} / \text{cm}^2$ の条件で注入する。この条件は、界面準位間を伝わって暗電流を引き起こす電子を束縛できるように調整する。

【0052】

次に、図2(c)に示す工程で、耐酸化性膜3を強化マスクにして、シリコン基板1の

うち開口4の表面に露出する部分を選択的に熱酸化することにより、LOCOS酸化膜5を形成する。LOCOS酸化膜5は、開口4の側面のうちシリコン基板1が露出する部分を埋めるように形成する。なお、LOCOS酸化膜5における凸部分の高さおよび形状を調整することにより、後工程で導体膜をパターンニングしてゲート絶縁膜を形成する際に、導体膜を制御性よく除去することができる。したがって、微細加工が可能となる。

【0053】

次に、図2(d)に示す工程で、ウェットエッチングを行うことにより耐酸化性膜3と、酸化性膜10と、パッド絶縁膜2の上部とを除去する。ここで、CMP研磨を行うことにより、耐酸化性膜3、酸化性膜10およびパッド絶縁膜2を幾分除去した後にウェットエッチングを行って、残存する分を除去してもよい。

【0054】

なお、パズピークの幅が長い場合は、ウェットエッチングを行ってパズピークを除去することにより活性領域の面積を十分確保できるよう調節する。

【0055】

その後、シリコン基板1のうち所望の領域にイオン注入を行うことにより、光電変換領域6および活性領域7を形成する。その後、周知の方法により、ゲート絶縁膜16、CVD酸化膜17、層間絶縁膜18、信号線19およびゲート電極を含む配線パターン20を形成することにより、本実施形態の半導体装置を製造することができる。以上の工程により、本実施形態の工程が終了する。

【0056】

本実施形態では、第1の実施形態と同様の効果を得ることができる。それに加えて、パッド絶縁膜2と耐酸化性膜3との間に酸化性膜10を設けることにより、シリコン基板1の表面における素子分離領域との境界エッジを丸めることができる。よって、ハンプ特性(素子領域の端部におけるリーク電流についての特性)は改善することができる。

【0057】

従来では、素子分離領域としてSTIを用いると、約10000個の白キズが観測された。それに対し、本実施形態の撮像素子では、白キズ数が約100個になる。なお、この比較は、100万画素の撮像素子を10mV以上の出力で動作させて測定した値をもとに行った。

【0058】

(その他の実施形態)

なお、上述の実施形態では、本発明の素子分離を、図3に示す各画素26中の素子分離に適用した。しかしながら、本発明の素子分離を、垂直シフトレジスタ28、水平シフトレジスタ29およびタイミング発生回路30等の周辺回路における素子分離にも適用することができる。その場合には、素子分離を形成する工程の短縮が可能となる。

【0059】

また、図3に示す撮像領域27におけるMOSFETは全てn型である。そのため、周辺回路をN型MOSFETのみで設計すると、注入工程を削減することができ工程の短縮化が可能である。

【0060】

また、周辺回路にCMOSトランジスタを用いた場合には、電荷読み出しをさらに高速化することができる。

【0061】

また、本発明における固体撮像装置をカメラに組み込むことにより、高解像度の撮像が可能となる。

【0062】

なお、上述の実施形態では、シリコン基板に撮像素子を形成する場合について説明したが、本発明では、GaAs等からなる半導体基板に撮像素子を形成する場合にも適用することができる。

【産業上の利用可能性】

【0063】

以上説明したように、本発明の固体撮像装置およびその製造方法では、微細化が可能であり、十分な素子分離能力を有する素子分離を設けることができ、応力を低減することにより暗電流の抑制と白キズ数の削減が可能である点で、産業上の利用可能性は高い。

【図面の簡単な説明】

【0064】

【図1】(a)～(d)は、本発明の固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。

【図2】(a)～(d)は、本発明の固体撮像装置の製造工程のうち素子分離用領域を形成する工程を示す断面図である。

【図3】固体撮像装置の構成の一例を示す回路図である。

【図4】(a)～(f)は、従来の撮像素子において、素子分離用領域の製造工程を示す断面図である。

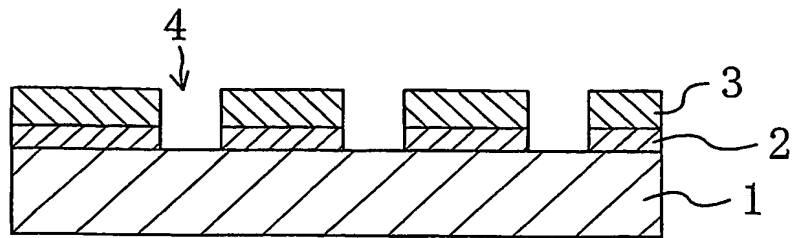
【符号の説明】

【0065】

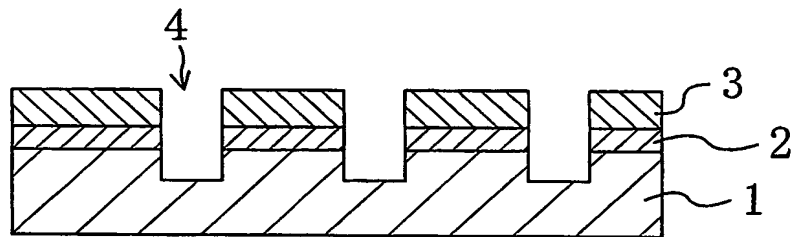
1	シリコン基板
2	パッド絶縁膜
3	耐酸化性膜
4	開口
5	LOCOS酸化膜
6	光電変換領域
7	活性領域
10	酸化性膜
16	ゲート絶縁膜
17	CVD酸化膜
18	層間絶縁膜
19	信号線
20	配線パターン
21	光電変換部
22	転送用トランジスタ
23	リセット用トランジスタ
24	増幅用トランジスタ
25	選択用トランジスタ
26	画素
27	撮像領域
28	垂直シフトレジスタ
29	水平シフトレジスタ
30	タイミング発生回路
31	出力パルス線
32	出力パルス線
33	電源
34	出力パルス線
35	信号線

【書類名】 図面
【図 1】

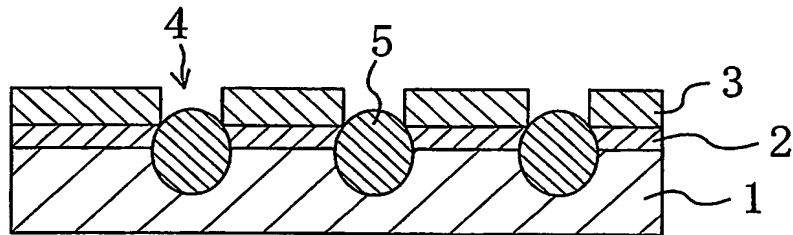
(a)



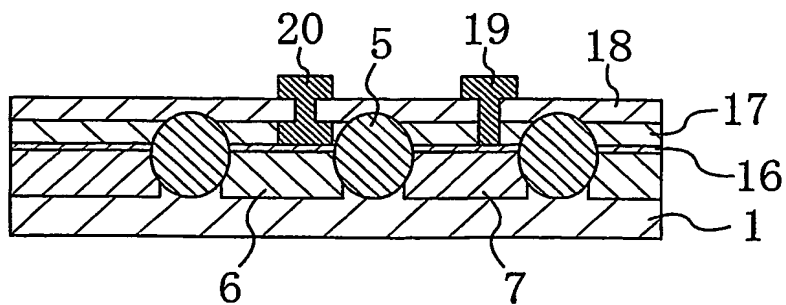
(b)



(c)

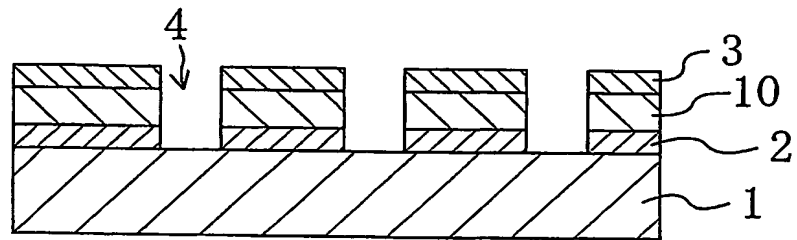


(d)

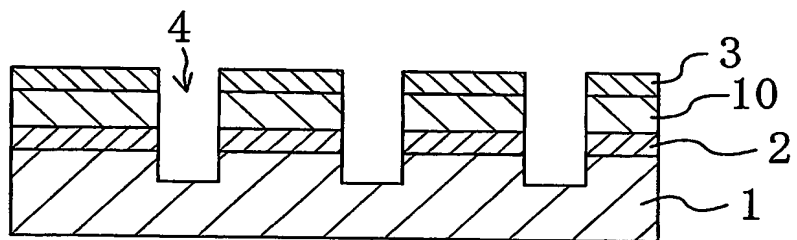


【図 2】

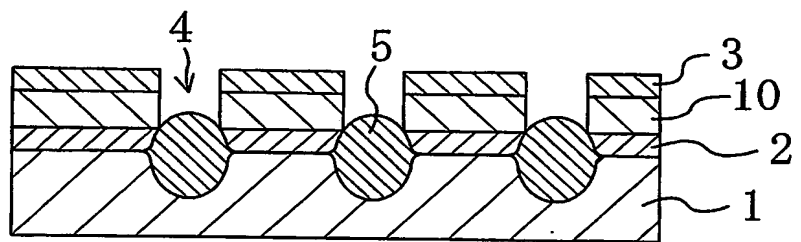
(a)



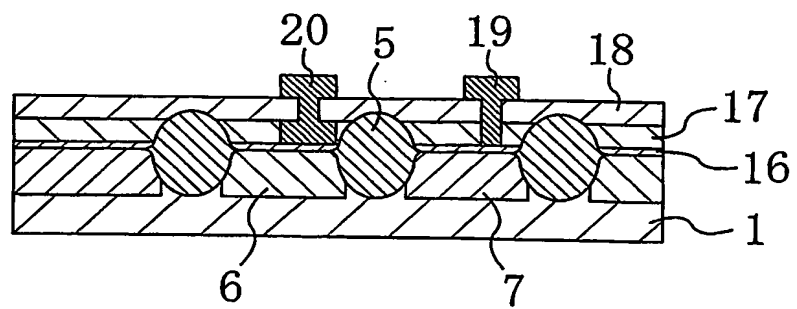
(b)



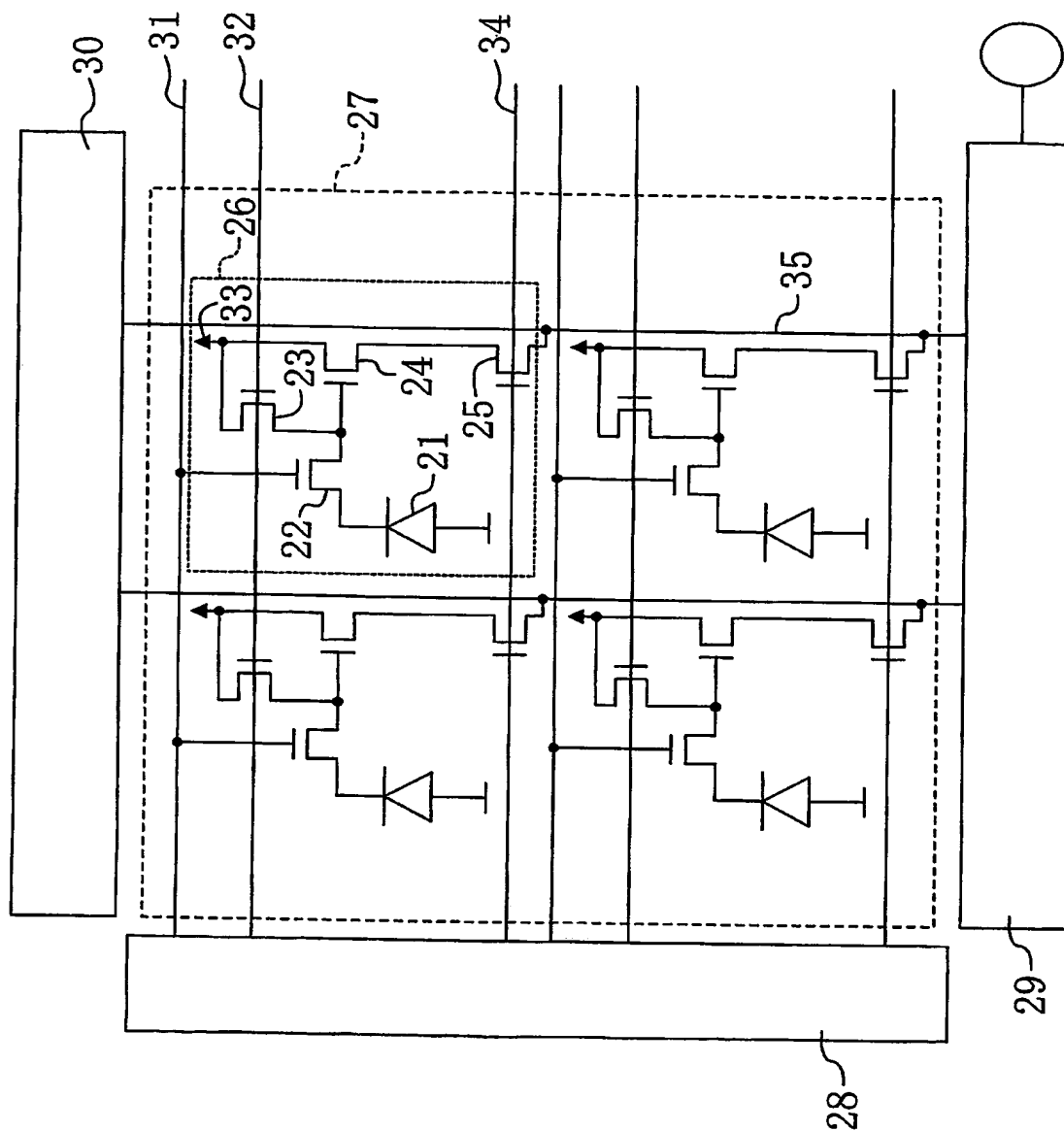
(c)



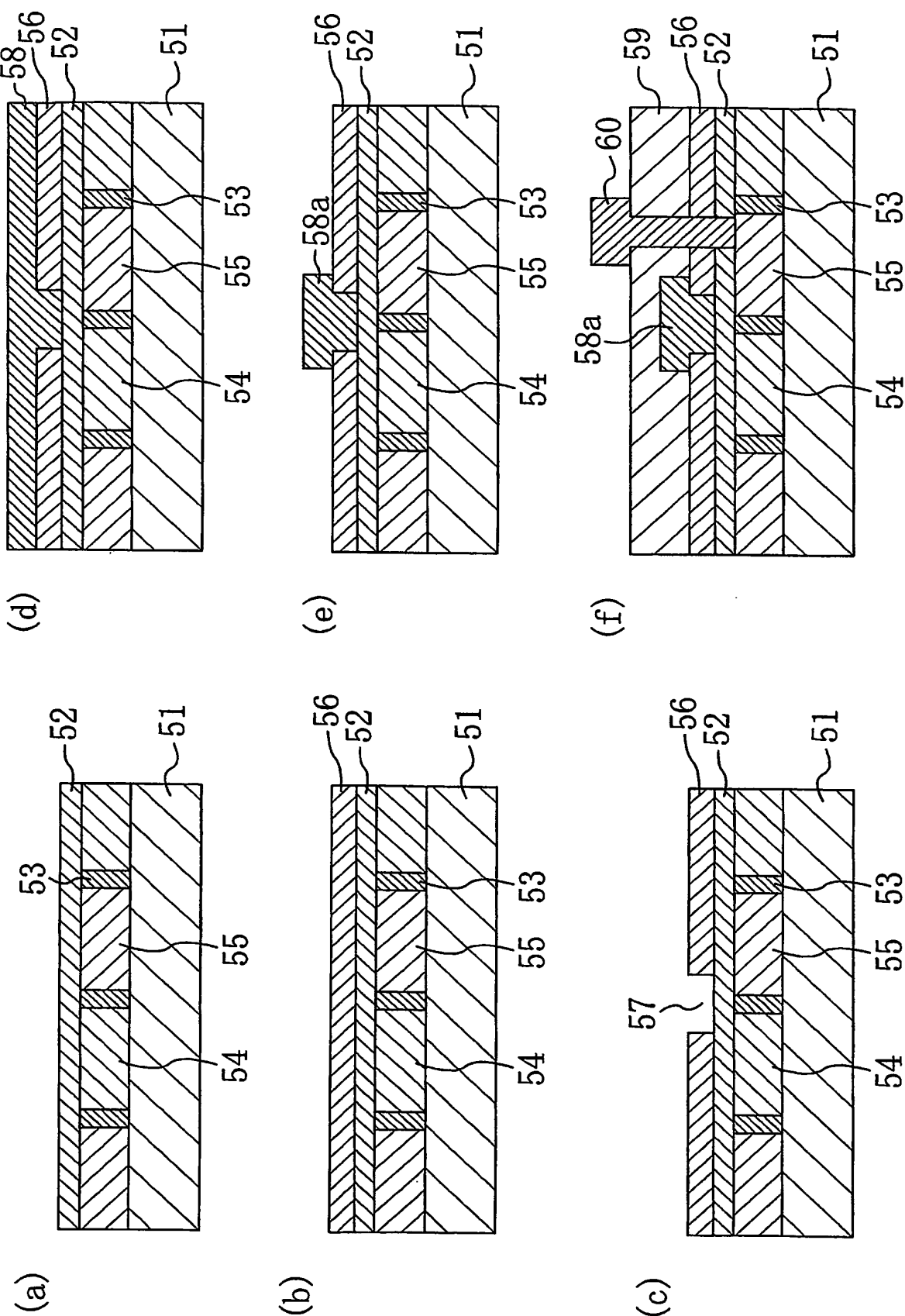
(d)



【図 3】



【図 4】



【書類名】要約書

【要約】

【課題】素子分離用領域の分離能力を確保しつつ微細化が可能であり、低暗電流および白キズ数の低減を実現できる固体撮像装置とその製造方法およびカメラを提供する。

【解決手段】本発明の固体撮像装置の製造方法では、まず、シリコン基板 1 の上にパッド絶縁膜 2、酸化性膜 10 および耐酸化性膜 3 を形成する。そして、耐酸化性膜 3 のパターニングを行うことによりシリコン基板 1 の上面を露出する開口 4 を形成し、耐酸化性膜 3 をマスクとしてエッチングを行うことにより、開口 4 に露出するシリコン基板 1 の上部を除去して開口 4 を深くする。その後、開口 4 の表面に露出するシリコン基板 1 を酸化することにより LOCOS 酸化膜 5 を形成する。その後、耐酸化性膜 3、酸化性膜 10 およびパッド絶縁膜 2 を除去する。

【選択図】図 2

特願 2 0 0 4 - 0 1 0 7 1 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/000129

International filing date: 07 January 2005 (07.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-010718
Filing date: 19 January 2004 (19.01.2004)

Date of receipt at the International Bureau: 10 March 2005 (10.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse